

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-307424**

(43)Date of publication of application : **19.11.1993**

(51)Int.Cl.

G06F 1/12

G04G 7/00

G06F 15/16

(21)Application number : **04-353165**

(71)Applicant : **SIEMENS AG**

(22)Date of filing : **11.12.1992**

(72)Inventor : **STROHMER FRANZ**

(30)Priority

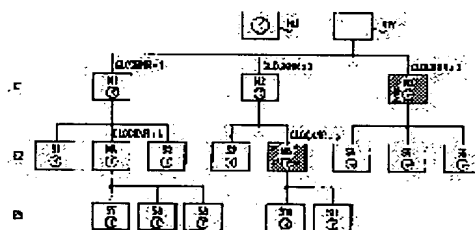
Priority number : **91 91121712** Priority date : **18.12.1991** Priority country : **EP**

(54) METHOD FOR CONTROLLING CLOCK TIME IN COMPUTER NETWORK

(57)Abstract:

PURPOSE: To provide a method by which different time bases in a system can be recognized at the time of controlling the clock time of a whole system by appropriately using a communication means and the mutual coupling between variable clock time informing errors can be avoided in a method for controlling clock time in a hierarchically constituted computer network.

CONSTITUTION: The consistent synchronization of clock modules provided at individual network levels E1 to E3 to a central main clock HU is performed by means of a telegram and, when the synchronization is performed, a time stamp having additional information areas on the synchronizing source CLOCKNR, synchronizing form, synchronizing delay, and clock time resolution can be given from each clock module in addition to a clock time area and a data area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-307424

(43)公開日 平成5年(1993)11月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 1/12				
G 0 4 G 7/00		9109-2F		
G 0 6 F 15/16	3 3 0 D	8840-5L		
		7165-5B	G 0 6 F 1/ 04	3 4 0 A

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号 特願平4-353165

(22)出願日 平成4年(1992)12月11日

(31)優先権主張番号 9 1 1 2 1 7 1 2, 3

(32)優先日 1991年12月18日

(33)優先権主張国 オーストリア(A T)

(71)出願人 390039413

シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESEL
LSCHAFT

ドイツ連邦共和国 ベルリン 及び ミュ
ンヘン (番地なし)

(72)発明者 フランツ シュトロマー

ドイツ連邦共和国 8520 エルランゲン
フレーベルシュトラッセ 19

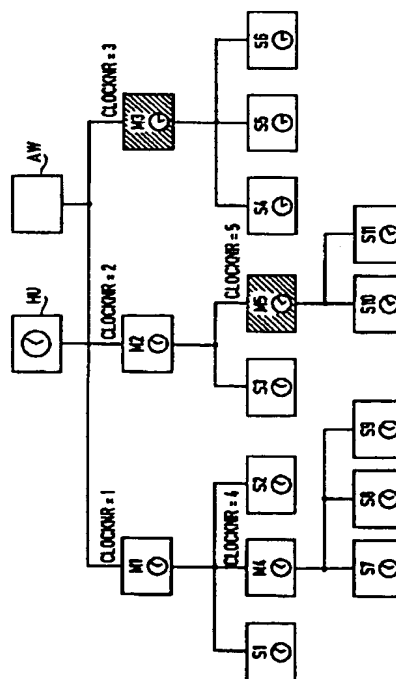
(74)代理人 弁理士 富村 潔

(54)【発明の名称】 計算機網でのクロックタイム制御方法

(57)【要約】

【目的】 階層的に構成された計算機網でのクロックタイム制御方法において、通信手段の適度の利用のもとにシステム全体のクロックタイム制御の際にシステム内の相異なるタイムベースが認識され、また一定でないクロックタイム報知のエラーのある相互結び付けが回避される方法を提供する。

【構成】 個々のネットワークレベルE1ないしE3に設けられているクロックモジュールの、中央の主クロックHUへの一貫した同期化がテレグラムにより行われ、その際に各クロックモジュールから、クロックタイム領域およびデータ領域のほかに同期化源CLOCKNR、同期化形式、同期化遅延およびクロックタイム分解能に関する追加的な情報領域を有するタイムスタンプが与えられる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 階層的に構成された計算機網でのクロックタイム制御方法において、個々のネットワークレベル（E1ないしE3）に設けられているクロックモジュールの、中央の主クロック（HU）への一貫した同期化がテレグラムにより行われ、その際に各クロックモジュールから、クロックタイム領域およびデータ領域のほかに同期化源（CLOCKNR）、同期化形式（VERS）、同期化遅延（SLAG）およびクロックタイム分解能（GRAN）に関する追加的な情報領域を有するタイムスタンプが与えられ得ることを特徴とする計算機網でのクロックタイム制御方法。

【請求項2】 タイムスタンプのなかに同期化源および同期化形式に関する情報がそれぞれ最後に受信された同期化テレグラムから授受され、また同期化遅延（SLAG）としてそれぞれ固有のネットワークレベルのなかの同期化遅延とクロックタイムテレグラム中で報知された同期化遅延との和がより上位のネットワークレベルのなかに登録されることを特徴とする請求項1記載の方法。

【請求項3】 同期化テレグラムが送信するクロックモジュールの同期化サイクルに関する情報領域（SCYC）を含んでいることを特徴とする請求項1または2記載の方法。

【請求項4】 2つのクロックタイムスタンプの時間的一貫性を検査するため、同期化源（CLOCKNR）および同期化形式（VERS）に関するそれらの情報領域が互いに比較され、また2つの時間的になお分解可能な事象の最小間隔（EA）として、クロックタイム分解能（GRAN）および累積された同期化遅延（SLAG）のそのときどきのより大きい和が求められることを特徴とする請求項1ないし3の1つに記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、階層的に構成された計算機網でのクロックタイム制御方法に関する。

【0002】

【従来の技術】米国特許第4,584,643号明細書には、分布したシステムのなかのエラートレナントなクロックタイム制御のために、すべてのクロックタイム報知からの平均値が形成される網のなかに存在するすべてのクロックがシステムタイムの決定に関与させられる方法が記載されている。これはかなり高い報知発生に、従ってまた通信手段のかんりの利用に通ずる。

【0003】

【発明が解決しようとする課題】本発明の課題は、それ*

*にくらべて、通信手段の適度の利用のもとにシステム全体のクロックタイム制御の際にシステム内の相異なるタイムベースが認識され、また一定でないクロックタイム報知のエラーのある相互結び付けが回避される方法を提供することである。

【0004】

【課題を解決するための手段】この課題は、本発明によれば、請求項1にあげられている措置により解決される。

【0005】

【実施例】以下、本発明をその実施例を含めて図面により一層詳細に説明する。

【0006】図1には3つの階層的に構成されたネットワークレベルE1ないしE3を有するマルチマイクロコンピュータシステムが示されており、それらのうちレベルE1が最上位の階層である。個々の計算機のなかに設けられているクロックモジュール（時計のシンボルにより示されている）はそれぞれその次に上位のレベルのクロックモジュールにより同期化される。中央の主クロックHUは直接にレベルE1のクロックモジュールを同期化し、またこうして最終的にシステム全体のクロックタイムを決定する。より下位のレベルのクロックモジュールを同期化する各クロックモジュールはマスターと呼ばれ、また確かに同期化されるが、それ自体はより下位のレベルのクロックモジュールを同期化しない各クロックモジュールはスレーブと呼ばれる。示されている例では網全体に有効な標識（CLOCKNR）を有するマスターM1ないしM5とスレーブS1ないしS11とが存在している。さらに、参照符号AWが付されているもう1つの中央の評価ユニットが設けられており、そのなかにクロックモジュールから与えられ得るタイムスタンプが登録され、時間的一貫性が検査され、またそれらをレリーズする事象が時間的に配列される（事象配列）。

【0007】マスターM3およびM5では、それらが一時的に主クロックHUと同期化されていないと仮定されている。その理由は、同期化テレグラムがそれらにもはや到達していないこと、またはその計算機の新たな始動が行われることであり得る。この場合、マスタークロックモジュールM3およびM5はフリーランしており、その結果、それらのクロックタイムはその他のシステムのクロックタイムともはや一貫しておらず、別々のタイムベースが定着する。

【0008】3つのネットワークレベルに対して下記の同期化パラメータが成り立つべきである：

	E1	E2	E3
同期化サイクル [sec]	60	10	1
クロックタイム分解能 [msec]	10	10	1
同期化遅延 [msec]	1.2	0.5	0.2

【0009】同期化サイクルは、同期化またはクロック

ム分解能はクロックモジュールがその時間をアップカウントする外部で認め得る時間的ラスタステップであり、また同期化遅延は1つの階層レベルのなかで2つのクロックモジュールの間に生じ得る最大の非同期性である。同期化遅延は主として同期化サイクルとクロックモジュールの水晶許容差との積により決定されている。

【0010】前記の状況に対してスレーブクロックモジュールS1、S3、S4、S9およびS10に関して図2は本発明により設けられている追加的な情報領域の内容を示す。すなわち、参照符号TELを付されている左側の列にはこれらのクロックモジュールにより受信される同期化テレグラムの情報領域が、また参照符号STを付されている右側の列にはこれらのクロックモジュールにより与えられるタイムスタンプの情報領域が示されている。テレグラムも与えられるタイムスタンプもクロックタイムおよびデータに対する相応の領域を補われると思われるが、それらは図面を見易くするために省略された。

【0011】参照符号CLOCKNRを付されている第1の領域は同期化源に関する情報、すなわち受信されたテレグラムが最初に出発したそのつどのマスターの識別を含んでいる。すなわち常に、階層の最上位のレベルに位置するマスターの識別が登録される。このことはスレーブS9のCLOCKNR領域において明らかになる。こうしてCLOCKNRにより示されている領域は常に最高の優先順位の同期化源を含んでいる。

【0012】参照符号VERSを付されているすぐ次の領域は同期化テレグラムでは3つの、またクロックタイムスタンプでは4つの部分領域から成っている。参照符号F1を付されている部分領域には、T(=真)により、同期化するマスタークロックモジュールが中央の主クロックHUに同期化されているか、またはそれが“フリーラン”して固有のタイムベースで同期化されているかが示されている。後者の場合には部分領域F1は値F(=偽)にセットされる。部分領域F1は値Tにセットされているならば、値Tは参照符号F2を付されている部分領域のなかで、主クロックから夏時間が与えられていることを意味し、F2=Fに対しては主クロックは冬時間を与えるであろう。

【0013】F1=偽が登録されている場合には、同期化テレグラムにおける第3の部分領域またはクロックタイムスタンプにおける第4の部分領域はマスターの現在のフリーランフェースの通し番号を示す。その内容は、何回このスレーブを同期化するマスターが既に、たとえば同期化テレグラムの喪失またはその他の障害により主クロックからの意図されたまたは意図されない切り離しの結果としてその後に対応付けられているクロックモジュールのクロックタイムを自律的に決定するべく強制されたかを指示する。この場合、それは自動的にその下位の階層レベルに対する同期化テレグラムを発生し、ま

た領域CLOCKNRのなかにその固有の標識を登録する。スレーブクロックモジュールS4およびS10のVERS領域の第3の部分領域から、それらを同期化するマスタークロックモジュールM3またはM5が一度目にフリーランフェースに切り換わったことは明らかである。すなわち、VERS領域の第4の部分領域のなかに含まれている数は、上位の同期化するマスターに関してそれぞれ新たに定着されたタイムベースの通し番号として解釈され得る。参照符号F0を付されている部分領域はタイムスタンプに対するVERS領域の拡張である。各クロックモジュールは、それが上位のマスタークロックモジュールに同期化されているならば、この部分領域を値T(真)にセットする。

【0014】参照符号SLAGを付されており同期化遅延を示す領域は特に意義がある。各マスタークロックモジュールはこのモジュールの階層レベルにとって重要な同期化遅延をこのモジュールに同期化テレグラム中で報知される同期化遅延に加える。すなわち、この領域においては、それぞれ個々の通過する階層レベルのなかの同期化遅延の値が蓄積される。こうして、スレーブクロックモジュールS1から受信されたテレグラムにおけるSLAG領域は1.2msecの値を有し、他方においてスレーブクロックモジュールS9から受信されたテレグラムのSLAG領域はレベルE1に存在する同期化遅延(1.2msec)とレベルE2で顧慮すべき同期化遅延(0.5msec)との和に相応して1.7msecの値を有する。タイムスタンプのなかのSLAG領域の値を各クロックモジュールはそれにより受信されたテレグラムのなかのSLAG領域の和およびその階層レベルにとって重要な同期化遅延の値から計算する。このことは受信されたテレグラムのSLAG領域と個々のスレーブに対する与えられ得るタイムスタンプとの比較から明らかである。

【0015】クロックモジュールに対して決定されるテレグラムはその参照符号SCYCを付されている第4の領域のなかに、同期化テレグラムが送られる時間間隔を有する(同期化サイクル)。この値は一方ではクロックモジュールにより行われる同期化遅延の計算のために重要であり、さらにテレグラムの到来の際の同期化すべきクロックモジュールのなかの確からしさの検定と規則的な同期化の監視との役割をし、それによってマスタークロックモジュールの故障が認識可能になる。

【0016】追加的な情報の最後のものとして、スレーブから与えられ得るクロックタイムスタンプは、クロックタイム分解能が登録されている参照符号GRANを付されている領域をも含んでいる。この領域に登録されている値と領域SLAGに登録されている蓄積された同期化遅延との和はクロックモジュールの事象分解能を決定する。事象分解能とはこの関連において、比較すべき2つのタイムスタンプが、それによって示される事象が評

5

価の際に先行／後続の意味で一義的な時間的順序（事象配列）にもたらされ得るように有していなければならない最小間隔を意味する。こうして示されるこの事象分解能はそれによって同時に、2つのタイムスタンプの間の時間間隔の計算の際に生じ得る最大の差誤差である。

【0017】図3にはフローダイアグラムにより、種々のクロックモジュールから供給される2つのタイムスタンプST1およびST2の追加的情報が一貫性検査およびそれに続く事象分解能の決定のためにどのように使用されるかが示されている。まず、両タイムスタンプの部分領域F0が値Tにセットされているか否かが検査される。この検査の結果が否定であれば、両タイムスタンプはエラー報知INKの発生のもとに一貫していないものとして棄却される。なぜならば、相異なるタイムベースに基づいて、どのタイムスタンプがより先の事象またはより後の事象を示すかについての証明が行われ得ないからである。その後、両タイムスタンプのなかで部分領域F1が値Tを有するか否かについての検査が行われる。この検査の結果が肯定であれば、両タイムスタンプST1およびST2の部分領域F2が同一の値（夏時間または冬時間）を有するか否かについての検査が行われる。この検査の結果が肯定であれば、一貫性検査は成功裡に進行している。部分領域F1の検査の際に双方が値Tにセットされていなかったならば（これはたとえば両クロックモジュールが同一のフリーランするマスターに同期化されている場合であり得る）、両タイムスタンプの領域CLOCKNRおよびVERSが合致しているか否かについての検査が行われる。この検査の結果が否定であれば、両タイムスタンプは再び一貫していないものとして棄却され、他方において肯定であれば、時間的に*

6

*一貫している両タイムスタンプの、領域GRANおよびSLAGのなかの値のそのときどきのより大きい和から生ずる事象分解能EAが求められる。

【0018】図2の例へのこのフローダイアグラムの応用は、本発明による方法により時間的に一貫したタイムスタンプおよび事象分解能が筋道立ててまた申し分なく決定され得ること、また中央の主クロックへのローカルなクロックモジュールの一貫した同期化が多くの階層構成の網レベルにわたって達成されることを示す。

【図面の簡単な説明】

【図1】網構成の一例。

【図2】図1による構成のいくつかのクロックモジュールに対する受信される同期化テレグラムおよび与えられるタイムスタンプ。

【図3】2つのクロックモジュールのタイムスタンプを評価するためのフローダイアグラム

【符号の説明】

AW 評価ユニット

CLOCKNR、GRAN、SLAG、SCYC、VE

RS 情報領域

EA 事象分解能

E1～E3 ネットワークレベル

F0～F2 部分領域

HU 主クロック

INK エラー報知

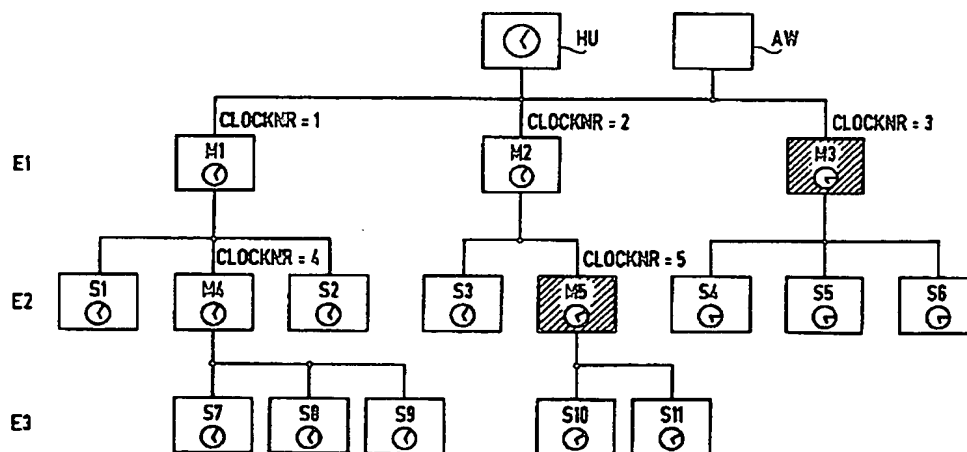
M1～M5 マスター

S1～S11 スレーブ

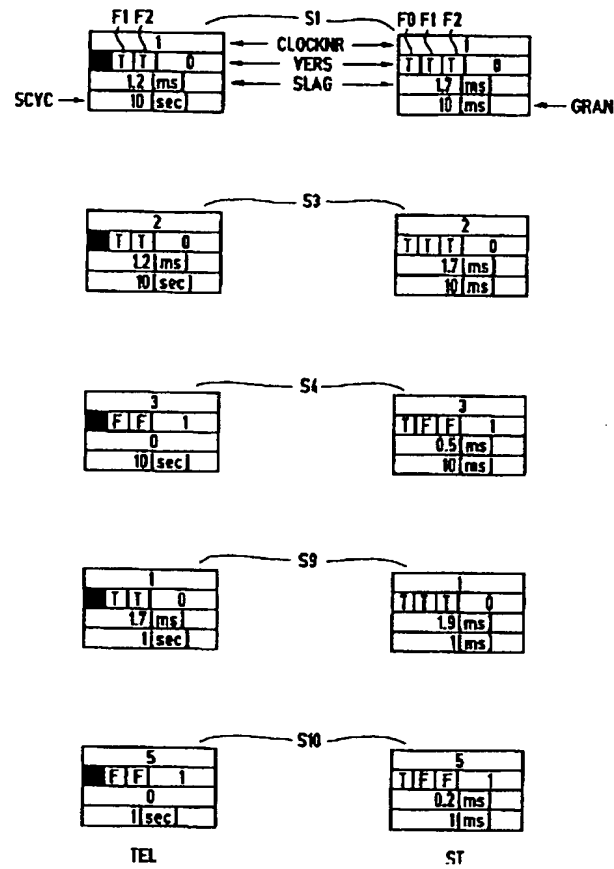
ST1、ST2 タイムスタンプ

TEL、ST 情報領域列

【図1】



【図2】



【図 3】

